

## Microwave switch circuit and an antenna apparatus.

Patent Number:  EP0609746

Publication date: 1994-08-10

Inventor(s): KAZUHIKO NAKAHARA C O MITSUBIS (JP); TAKUO KASHIWA C O MITSUBISHI D (JP)

Applicant(s): MITSUBISHI ELECTRIC CORP (JP)

Requested Patent:  JP6232601

Application

Number: EP19940100994 19940124

Priority Number(s): JP19930013064 19930129

IPC Classification: H01P1/15

EC Classification: H01P1/15

Equivalents:

Cited Documents: FR2607643; EP0409374; JP5055803

### Abstract

A microwave switch circuit includes a first impedance conversion circuit (4a) one end of which is connected to an input/output terminal (1); a resonance circuit connected between the output of the first impedance conversion circuit (4a) and ground, in parallel connection of a field effect transistor (7) and a resonance inductor (8); and a second impedance conversion circuit (4b) connected between the output of the first impedance conversion circuit (4a) and an input terminal (2). A microwave switch circuit may be connected between an antenna side terminal (1) and a transmission wave input terminal (2) and another microwave switch circuit may be connected between the antenna side terminal (1) and a receiving wave output terminal (3). The microwave switch circuit may include the output terminal (3) and the input terminal (2) having an impedance of 50 OMEGA and the output end of the first impedance conversion circuit (4a) having a low impedance lower than 50 OMEGA and the microwave switch circuit may include one-fourth wavelength transmission lines (5) as the first and the second impedance conversion circuits (4a and 4b). Consequently, the maximum allowable value of the incident power is

increased and a withstand power is increased in an antenna switch circuit. 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

# (12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-232601

(43)公開日 平成6年(1994)8月19日

(51)Int. C1.<sup>5</sup>

H 01 P  
1/15  
5/02

識別記号

府内整理番号

F 1

技術表示箇所

審査請求 未請求 請求項の数6

O L

(全8頁)

(21)出願番号 特願平5-13064

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22)出願日 平成5年(1993)1月29日

(72)発明者 中原 和彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(72)発明者 柏 卓夫

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 早瀬 憲一

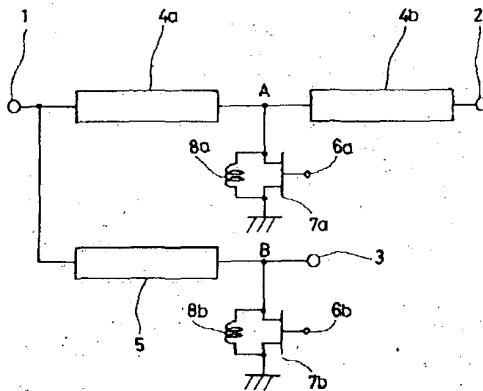
## (54)【発明の名称】マイクロ波スイッチ回路

### (57)【要約】

【目的】マイクロ波スイッチ回路の耐電力を向上させる。

【構成】アンテナの送信側等の電波の伝送線路に、インピーダンス変換器4a, 4bを用いてFETを伝送線路に接続する部分のインピーダンスを低インピーダンス(点A)に変換し、この低インピーダンスの点Aに信号伝達制御用のFET7aと共に共振インダクタ8aとからなる共振回路を接続する。

【効果】FET7aがバイアスによって高インピーダンスになってしまっても、該FETゲート電圧がブレーク電圧ダウントラムV<sub>br</sub>を超えることがなく、スイッチ回路の耐電力を向上させることができる。



- 1: アンテナ側端子
- 2: 送信波入力端子
- 3: 受信波出力端子
- 4: 1/4 波長のインピーダンス変換器
- 5: 特性インピーダンスZ<sub>0</sub>で1/4 波長の伝送線路
- 6: ゲートバイアス端子
- 7: 電界効果トランジスタ(FET)
- 8: 共振インダクタ

1

## 【特許請求の範囲】

【請求項1】 一端が入力端子に接続された第1のインピーダンス変換回路と、該第1のインピーダンス変換回路の出力と接地との間に接続された、電界効果トランジスタと共に振インダクタとを並列接続してなる共振回路と、上記第1のインピーダンス変換回路の出力と出力端子との間に接続された、第2のインピーダンス変換回路とを備えたことを特徴とするマイクロ波スイッチ回路。

【請求項2】 請求項1記載のマイクロ波スイッチ回路は、アンテナ側端子と送信波入力端子との間に設けられていることを特徴とするマイクロ波スイッチ回路。

【請求項3】 請求項1記載のマイクロ波スイッチ回路は、アンテナ側端子と送信波入力端子との間、およびアンテナ側端子と受信波出力端子との間に双方に設けられることを特徴とするマイクロ波スイッチ回路。

【請求項4】 請求項2または3のいずれかに記載のマイクロ波スイッチ回路において、上記入力端子および出力端子のインピーダンスが50Ωであり、上記第1のインピーダンス変換回路の出力のインピーダンスが50Ω以下の低インピーダンスであることを特徴とするマイクロ波スイッチ回路。

【請求項5】 請求項2ないし4のいずれかに記載のマイクロ波スイッチ回路において、上記第1、第2のインピーダンス変換回路が1/4波長伝送線路からなることを特徴とするマイクロ波スイッチ回路。

【請求項6】 請求項2ないし5のいずれかに記載のマイクロ波スイッチ回路において、上記第1、第2のインピーダンス変換回路をコプレーナ

線路で構成したことを特徴とするマイクロ波スイッチ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明はマイクロ波スイッチ回路に関し、特にFETと共に振インダクタからなる共振回路、およびインピーダンス変換器を用いて構成したスイッチ回路に関するものである。

## 【0002】

【従来の技術】従来マイクロ波スイッチ回路は、FETおよび共振インダクタよりなる共振回路と、伝送線路によってマイクロ波スイッチ回路を構成していた。図7にその一例を示す。図において、15は入力端子、16は出力端子である。また、7(7a, 7b)はFET、6(6a, 6b)は該FETのゲートバイアス端子、8(8a, 8b)は該FETと並列に接続された共振インダクタである。14は入力端子15と出力端子16との間に設けられた伝送線路である。17は入力側のFET7aと共に振インダクタ8aとからなる共振回路と、接地との間に接続された50Ω終端抵抗である。本構成

10

のスイッチ回路は、FET7のゲート6a, 6bへのバイアスをON, OFFすることにより入力端子15から入る信号波の伝達を制御する。

【0003】次に動作について説明する。図8は上記スイッチ回路において、入力側、出力側双方のゲートバイアス端子6へゲートバイアスをかけた場合、即ち双方のFET7がOFF状態にある時の等価回路を示している。FET7がOFFの場合は、空乏層によるOFF容量9と共振インダクタ8とによって共振回路が形成される。このときC, D点からFET側を、即ち、接地側を見たときのインピーダンスはマイクロ波では無限大である。このとき入力端子15から入った信号は、伝送線路14を通り、出力端子16へ伝達される。

【0004】一方、図9は双方のゲートバイアス端子6へゲートバイアスをかけない場合、即ち双方のFET7がON状態のときの等価回路を示している。このとき、FET7はON状態の動作層の抵抗、すなわちON抵抗10で表される。このときマイクロ波はC点から抵抗17に吸収され、出力端子16へは信号は伝達されない。すなわち、スイッチ回路としてはOFFの状態である。

【0005】図10にFET7の等価回路を示す。図中の8, 9は上述した共振インダクタ、OFF容量であり、18はゲート・ドレイン間抵抗Rgd、19はゲート・ドレイン間容量Cgd、20はゲート・ソース間容量Cgs、21はゲート・ソース間抵抗である。図11は入力端子15からマイクロ波が入ったときにFET7のドレイン・ソース間にかかる電圧を示したものである。図からわかるようにこの電圧は振幅VdsRF/2の正弦波となる。このときこの電圧はゲートバイアス端子6によって分圧される。このときのゲート・ソース間にかかる電圧は図12におけるVgRFとして表される。ここで、FET7のゲート・バイアス端子6に負の電圧をかけたときには、VgRFはゲートの電圧・電流特性に対して図の様に-Vgbias分シフトする。このためVgRFは極めてFETのブレークダウン電圧Vbrに達する。

【0006】一方、FET7に印加できる電力の許容最大値は、FET7にかかるゲートバイアス電圧Vg、ブレークダウン電圧Vbr、およびFET7と接続する部分(図10中のE点)の伝送線路の特性インピーダンスZにより、

## 【0007】

## 【数1】

$$P_{\max} = \frac{2(V_g - V_{br})^2}{Z}$$

【0008】で表される。

## 【0009】

【発明が解決しようとする課題】従来のマイクロ波スイッチ回路は以上のように構成されているが、該スイッチ

20

30

40

50

回路の耐電力はFETのゲートバイアス電圧 $V_g$ とブレークダウン電圧 $V_{br}$ で規定されるもので、このため過大電力がFETにかかったときにはゲート電圧 $V_g$ がブレークダウン電圧 $V_{br}$ を超えて、FETが破壊してしまうという問題があった。また、このブレークダウン電圧を改善することも容易ではなく、スイッチの耐電力を向上させることは非常に困難であった。

【0010】この発明は上記のような問題点を解消するためになされたもので、従来と同様のFETを用いてスイッチ回路の耐電力を向上させることのできるマイクロ波スイッチ回路を提供することを目的としている。

#### 【0011】

【課題を解決するための手段】この発明に係るマイクロ波スイッチ回路は、FETを伝送線路に接続する部分のインピーダンスを下げるために、入力端子とFETとの間、およびFETと出力端子との間にインピーダンス変換回路を挿入したものである。

【0012】また、この発明は、上記マイクロ波スイッチ回路を、アンテナ装置における、アンテナ側端子と送信波入力端子との間に設けたものである。

【0013】また、この発明は、上記マイクロ波スイッチ回路を、アンテナ装置における、アンテナ側端子と送信波入力端子との間、およびアンテナ側端子と受信波出力端子との間の双方に設けたものである。

【0014】また、この発明は、上記入力端子および出力端子のインピーダンスを $50\Omega$ とし、上記第1のインピーダンス変換回路の出力のインピーダンスを $50\Omega$ 以下の低インピーダンスとしたものである。

【0015】また、この発明は、上記第1、第2のインピーダンス変換回路を $1/4$ 波長伝送線路としたものである。

【0016】この発明におけるマイクロ波スイッチ回路は、入力端子とFETとの間、およびFETと出力端子との間にインピーダンス変換器を用いているので、FET部と接続する部分の伝送線路のインピーダンスを下げることができる。このためスイッチ回路の耐電力を上げることができる。

【0017】また、この発明におけるマイクロ波スイッチ回路は、上記マイクロ波スイッチ回路を、アンテナ側端子と送信波入力端子との間に設けたので、アンテナの送信回路にこれを用いることができる。

【0018】また、この発明は、上記マイクロ波スイッチ回路を、アンテナ側端子と送信波入力端子との間、およびアンテナ側端子と受信波出力端子との間の双方に設けたので、アンテナの送受信回路にこれを用いることができる。

【0019】また、この発明は、上記入力端子および出力端子のインピーダンスを $50\Omega$ とし、上記第1のインピーダンス変換回路の出力のインピーダンスを $50\Omega$ 以下の低インピーダンスとし、また上記第1、第2のイン

ピーダンス変換回路を $1/4$ 波長伝送線路としたので、入射電力の最大許容値が大きくなり、スイッチ回路の耐電力を高めたアンテナスイッチ回路が得られる。

#### 【0020】

【実施例】実施例1、図1はこの発明の一実施例によるマイクロ波スイッチ回路を用いた、アンテナ装置における送受信切換スイッチの回路図である。図において、1はアンテナ側端子であり、2は送信波入力端子、3は受信波出力端子である。5は一端が上記アンテナ側端子1に、他端が上記受信波出力端子3に接続された $1/4$ 波長伝送線路、4aは一端がアンテナ側端子1に接続され、他端が低インピーダンスのA点に接続された $1/4$ 波長線路よりなる第1のインピーダンス変換器、4bは一端が上記低インピーダンスのA点に接続され、他端が送信波入力端子2に接続された $1/4$ 波長線路よりなる第2のインピーダンス変換器である。ここで、上記 $1/4$ 波長伝送線路5、及び第1、第2のインピーダンス変換器4a、4bの各特性インピーダンスは、受信側の $1/4$ 波長伝送線路5の特性インピーダンスが $50\Omega$ 、低インピーダンスのA点のインピーダンスが $12.5\Omega$ であり、第1、第2のインピーダンス変換器4a、4bの特性インピーダンスは、この両インピーダンスから、特性インピーダンス $\sqrt{(50 \cdot 12.5)} = 25\Omega$ としている。

【0021】また、6a、6b、7a、7b、8a、8bは上記従来例と同じくそれぞれゲートバイアス端子、FET、共振インダクタである。

【0022】図2および図3に、上記スイッチ回路の受信状態、送信状態の等価回路をそれぞれ示す。図において、9はFET off時の容量、10はFET on時の抵抗である。

【0023】次に図1のスイッチ回路の動作について説明する。図1において、アンテナ側端子1、送信波入力端子2、受信波出力端子3の特性インピーダンスを $Z_0$ とする。図2は、図1において送信側のFETがON状態である場合、すなわちFETのゲートにゲートバイアスをかけない場合の等価回路を示し、この場合、図中のB点の部分は、FETのOFF容量9と共振インダクタ8による共振により高インピーダンスであるが、 $1/4$ 波長の伝送線路5によってアンテナ側端子1では低インピーダンスである。一方、図中のA点の部分はこのときFET on時の抵抗10により低インピーダンスとなり、アンテナ側端子1では高インピーダンスとなる。このためアンテナ端子1から入った電波はB点の方へ、即ち受信波出力端子3の方へ伝搬する。このとき受信側のFET 7bはFET off時の容量9で示されるように高インピーダンスであるが、受信する電波が小さいため、ゲートに印加される電力がブレークダウン電圧 $V_{br}$ に達することはない。

【0024】図3は図1において受信側のFETがON

状態であるときの等価回路を示す。

【0025】このとき受信側のB点のインピーダンスは低く、このためアンテナ側端子1から見たインピーダンスは高く、電波の伝搬路はA点側、即ち送信波入力端子2側である。このときA点側のFET7aは共振しており、FET自体はoff時容量9で示されるように高インピーダンスとなるが、該FETとの接続部Aでの伝送線路のインピーダンスはその入出力端子1, 2のインピーダンス50よりも、インピーダンス変換器4a, 4bによって低いインピーダンスになっているため、入射電力の最大許容値が上げるために、A点側のFET7\*

$$P_{\max} = \frac{2}{12.5} \{ -5 - (-7) \}^2 = 0.64 \text{W}$$

【0027】ところで、インピーダンス変換器4の替わりに従来の特性インピーダンス50Ωの1/4波長伝送線路を使用した場合には、図中A点の伝送線路のインピーダンスは50Ωとなるため、入射電力の最大許容値P※

$$P_{\max} = \frac{2}{50} \{ -5 - (-7) \}^2 = 0.16 \text{W}$$

【0029】となり、本実施例の構成では従来の4倍にまでスイッチ回路の耐電力を高めることができる。

【0030】図4および図5に、図1の本実施例のスイッチ回路の小信号時のシミュレーション結果を示す。図において、アンテナ側端子1をポート1、送信波入力端子2をポート2、受信波出力端子3をポート3と設定している。このシミュレーションは送信を1.4GHz帯、受信を1.2GHz帯として行っている。図4は送信時のシミュレーション結果を示しており、送信波の送信波入力端子2からアンテナ側端子1への通過損失(S21)は0.59dBで、入出力のリターンロス(S11, S22)は2.5dB以下であり、また、受信波出力端子3とアンテナ側端子1間ではアイソレーション(S31)は-3.3dBあり、十分アイソレーションされている。

【0031】次に、図5は受信時のシミュレーション結果を示す。アンテナ側端子1から受信波出力端子3への通過損失(S31)は0.80dB、入出力リターンロス(S11, S33)は-2.2dB以下であり、アンテナ側端子1と送信波入力端子2間のアイソレーション(S21)は-2.8dB確保されており、本回路構成はマイクロ波スイッチ回路として十分機能している。なお、上記シミュレーション結果は送信時1.4GHz、受信時1.2GHzの値である。

【0032】また、図6に本実施例の回路を実現するパターン構成の一例を示す。図において、図1と同一符号は同一部分を示す、即ち、1はアンテナ側端子、2は送信波入力端子、3は受信波出力端子、4は1/4波長のインピーダンス変換器、5は特性インピーダンスZoで1/4波長の伝送線路、7a, 7bはFET、8a, 8

bが破壊することはない。例えば、入力端子1のインピーダンスZoを50Ω、ゲートバイアスVgbiasを-5V、ブレーカダウン電圧Vbrを-7Vとしたとき、上記のように、A点のインピーダンスを12.5Ωとなる様にインピーダンス変換器4a, 4bを、特性インピーダンス $\sqrt{(50 \cdot 12.5)}$ =25Ωの1/4波長の伝送線路で構成すると、入射電力の最大許容値P<sub>max</sub>は、次の【数2】のようになる。

【0026】

【数2】

※<sub>max</sub>は、

【0028】

【数3】

bは共振インダクタであり、また、11a, 11b, 11cは接地用バイアホール、12a, 12bはゲートバイアス端子6a, 6bとFET7a, 7bとの間に設けられたゲートバイアス用のMIMキャパシタ、13a, 13bは同じくゲートバイアス用の抵抗である。

【0033】実施例2. 上記実施例1では送受切換スイッチ回路について示したが、本発明は、アンテナ側端子と送信波入力端子との間のみに設けた送信スイッチ回路、即ち上記実施例1の受信側の回路を取り去ったS P S T (Single Pole Single Throw; 単極单投)スイッチ、として用いてもよく、かかる本実施例2においても耐電力向上の効果として上記実施例1と同様の効果を得ることができる。

【0034】実施例3. また、上記実施例1では、送信側にのみインピーダンス変換器4a, 4bを設けたが、受信状態に送信程度の電力が入り込む可能性があるときは、図13に示すように、受信側(受信波出力端子3側)にも送信側と全く同一の構成のインピーダンス変換器4c, 4dを設けてもよく、上記実施例1と同様の効果が得られる。

【0035】実施例4. また、上記実施例1におけるインピーダンスの低い伝送線路4a, 4bは寸法が大きくなるので、この伝送線路は、図14に示すように、コプレーナ線路で形成してもよい。即ち、図において、30はコプレーナ線路を構成する接地導体である。このようにした本実施例4においては、回路の小型化を図ることができる。

【0036】なお、特開昭62-97403号には、マイクロ波半導体スイッチにおいて、3つの入出力線路の

接続部の近傍において、1つのFETを1つの入出力線路に直列に接続し、もう1つのFETを他の入出力線路の接続部から $1/4$ 波長の位置に並列に接続したものが記載されているが、このマイクロ波スイッチでは、FETに対してインダクタを並列に接続してはおらず、従って、本発明の図4、図5に示されるように好ましい特性が得られるものではない。

【0037】また、特開昭63-197101号には、マイクロ波半導体スイッチにおいて、FETのゲート、ソース、ドレインにそれぞれインダクタ線路を接続し、これとFET容量とが並列共振し、受信状態スイッチにおいて、低損失、高アイソレーション性能を得るようにしたもののが記載されているが、これは単にFET容量に対して並列共振回路を構成し、これにより低損失、高アイソレーション化を図っただけで、伝送線路の低インピーダンスへの変換は全く行なっておらず、本発明の構成、及びこれによる上述の効果を与えるものではない。

【0038】さらに、実開昭63-87901号明細書には、マイクロ波半導体スイッチにおいて、比較的大きな電力のマイクロ波が通過するマイクロストリップ線路の方向が限定されている場合において、該比較的大きな電力のマイクロ波をカットオフするとき、FETをカットオフして該マイクロストリップ線路をカットオフするのではなく、該マイクロストリップ線路のカットオフすべき点から $1/4$ 波長だけ隔たった点においてそのマイクロストリップ線路をFETとインダクタとの並列回路により短絡するようにしたものが記載されているが、この従来例では、上記比較的大きな電力のマイクロ波が通過するマイクロストリップ線路のインピーダンスは該マイクロストリップ線路のインピーダンスそのものであり、これも本発明のように低インピーダンスへの変換を行っているものではなく、本発明の構成、及び効果を与えるものではない。

### 【0039】

【発明の効果】以上のように、この発明によれば、マイクロ波信号の伝送をON、OFFするスイッチ回路において、インピーダンス変換器を設けることによりFETに接続される伝送線路の特性インピーダンスを下げるようにして、FETがバイアスによって高インピーダンスになってしまって、ゲート電圧がブレーク電圧を超えることがなくなり、容易にマイクロ波スイッチ回路の耐電力を向上させることができる効果がある。

### 【図面の簡単な説明】

【図1】本発明の一実施例によるマイクロ波スイッチ回路を示す図である。

【図2】上記実施例1のマイクロ波スイッチ回路の受信状態の等価回路を示す図である。

【図3】上記実施例1のマイクロ波スイッチ回路の送信状態の等価回路を示す図である。

【図4】上記実施例1のマイクロ波スイッチ回路のシミュレーション結果(送信側)を示す図である。

【図5】上記実施例1のマイクロ波スイッチ回路のシミュレーション結果(受信側)を示す図である。

【図6】上記実施例1のマイクロ波スイッチ回路のパターン構成の一例を示す図である。

【図7】従来のマイクロ波スイッチ回路の等価回路を示す図である。

【図8】従来のマイクロ波スイッチ回路のON状態の等価回路を示す図である。

【図9】従来のマイクロ波スイッチ回路のOFF状態の等価回路を示す図である。

【図10】従来のマイクロ波スイッチ回路のFET部の等価回路を示す図である。

【図11】従来のマイクロ波スイッチ回路の入射波の波形を示す図である。

【図12】従来のマイクロ波スイッチ回路のFET部のゲートにかかる電圧を示す図である。

【図13】本発明の実施例3によるマイクロ波スイッチ回路を示す図である。

【図14】上記実施例3のパターン構成の一例を示す図である。

### 【符号の説明】

1 アンテナ側端子

2 送信波入力端子

3 受信波出力端子

4a, 4b  $1/4$ 波長のインピーダンス変換器

5 特性インピーダンス $Z_0$ で $1/4$ 波長の伝送線路

4c, 4d  $1/4$ 波長のインピーダンス変換器

6a, 6b ゲートバイアス端子

7a, 7b 電界効果トランジスタ(FET)

8a, 8b 共振インダクタ

9 FET off時の容量

10 FET on時の抵抗

11 接地用バイアホール

12 MIMキャパシタ

13 バイアス用抵抗

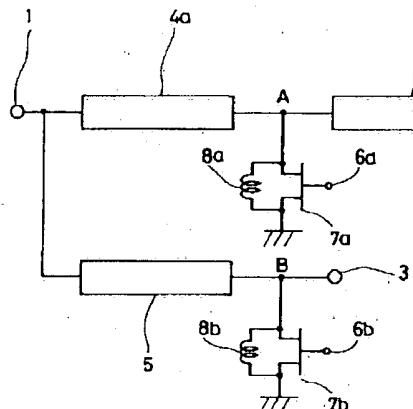
14  $1/4$ 波長の伝送線路

15 入力端子

16 出力端子

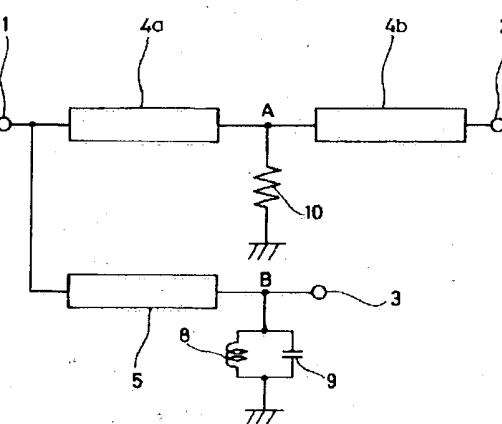
17  $50\Omega$ の終端抵抗

【図1】



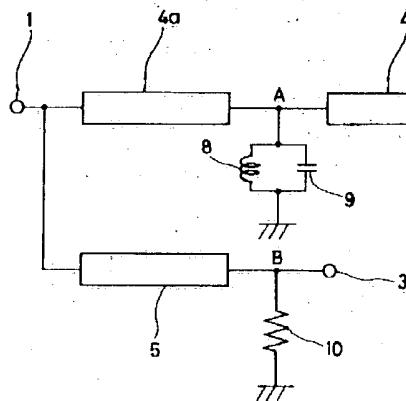
- 1: アンテナ側端子
- 2: 送信波入力端子
- 3: 受信波出力端子
- 4: 1/4 波長のインピーダンス変換器
- 5: 特性インピーダンスZ0で1/4波長の伝送線路
- 6: ゲートバイアス端子
- 7: 電界効果トランジスタ (FET)
- 8: 共振インダクタ

【図2】

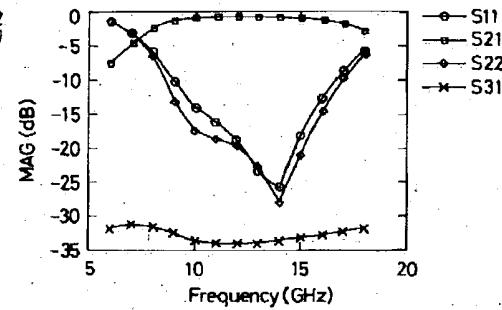


- 9: FET off時の容量
- 10: FET on時の抵抗

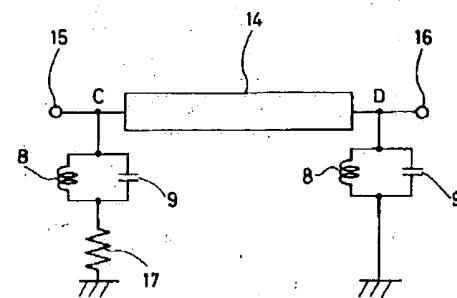
【図3】



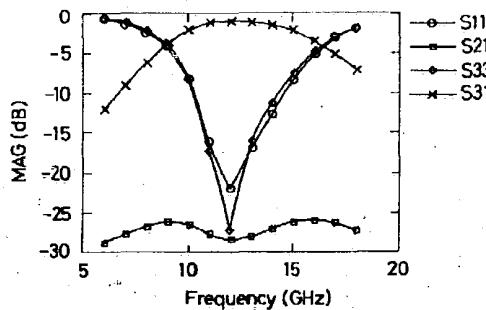
【図4】



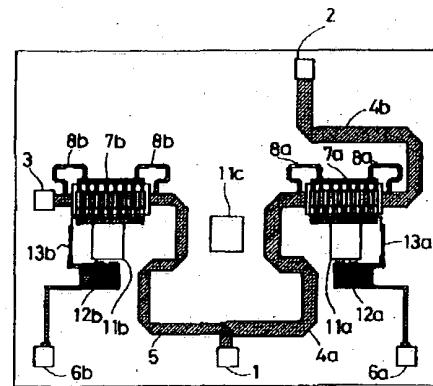
【図8】



【図5】

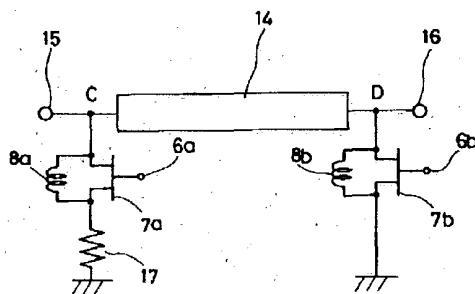


【図6】



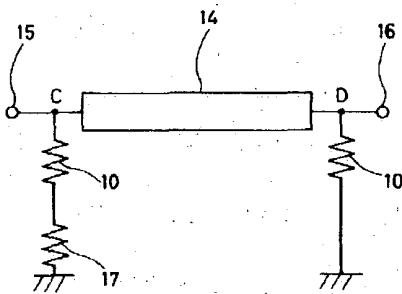
11: 接地用バイアホール  
12: MIM キャパシタ  
13: バイアス用抵抗

【図7】

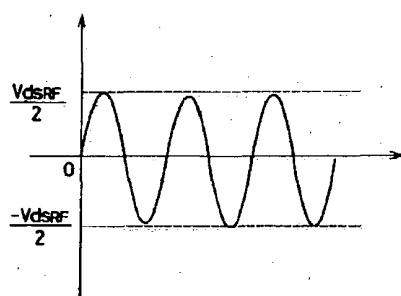


14:  $\frac{1}{4}$  波長の伝送線路  
15: 入力端子  
16: 出力端子  
17: 50 Ωの終端抵抗

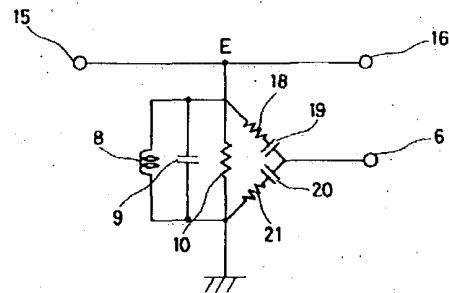
【図9】



【図11】

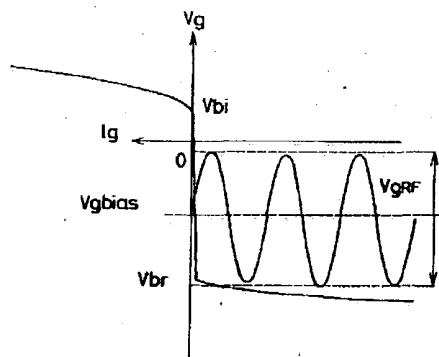


【図10】

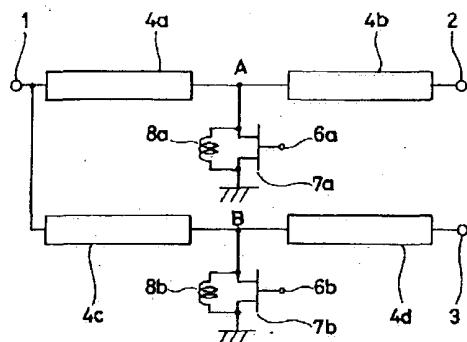


18: ゲート・ドレイン間抵抗( $R_{gd}$ )  
19: ゲート・ドレイン間容量( $C_{gd}$ )  
20: ゲート・ソース間容量( $C_{gs}$ )  
21: ゲート・ソース間抵抗( $R_{gs}$ )

【図12】

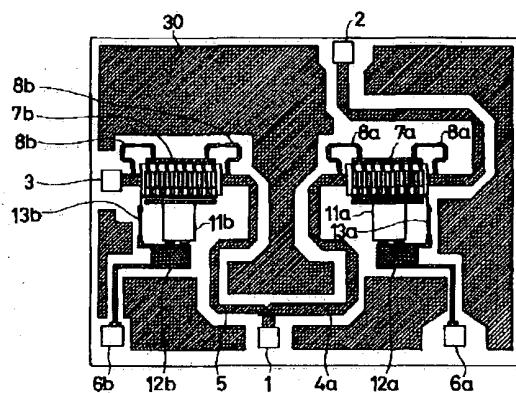


【図13】



4c, 4d : インピーダンス変換器  
 6 : ゲートバイアス端子  
 7 : 電界効果トランジスタ(FET)  
 8 : 共振インダクタ

【図14】



30: コアーナ線路の接地導体